



ΙΔΡΥΜΑ ΤΕΧΝΟΛΟΓΙΑΣ & ΕΡΕΥΝΑΣ

Ηράκλειο 28-4-2016
Αρ. πρωτ. : 775/28-4-2016
Αναρτητέα στη Διαύγεια:

Αναρτητέα στο Μητρώο

Διεύθυνση: Ν. Πλαστήρα 100, Βασιλικά Βουτών
70013 Ηράκλειο Κρήτης

ΧΡΗΜΑΤΟΔΟΤΗΣΗ: Ερευνητικό
Πρόγραμμα EXANEST (H2020-
FETHPC)

Πληροφορίες: Μιχαήλ Λυγεράκης
Τηλέφωνο: +30-2811-391456
Φαξ: +30-2811-391601
E-mail: ligeraki@ics.forth.gr

**ΠΡΟΣΦΥΓΗ ΣΤΗ ΔΙΑΔΙΚΑΣΙΑ ΤΗΣ ΔΙΑΠΡΑΓΜΑΤΕΥΣΗΣ ΣΕ ΕΥΡΩ ΜΕ ΔΗΜΟΣΙΕΥΣΗ ΠΡΟΚΗΡΥΞΗΣ
«Υλοποίηση συστήματος δοκιμαστικής μορφής ηλεκτρονικής πλακέτας “QFDB”
(Quad-FPGA Daughter Board)»**

ΤΟΠΟΣ - ΧΡΟΝΟΣ ΔΙΕΝΕΡΓΕΙΑΣ ΔΙΑΓΩΝΙΣΜΟΥ

Ίδρυμα Τεχνολογίας και Έρευνας Ινστιτούτο Πληροφορικής 1^{ος} Οροφος	Ημερομηνία Ανάρτησης Πρόσκλησης στη Διαδικτυακή Πύλη του ΙΤΕ	Καταληκτική Ημερομηνία και Ώρα Υποβολής Προσφορών
Βασιλικά Βουτών Ηρακλείου Κρήτης Ν. Πλαστήρα 100	28-04-2016	16-05-2016 17:00 CET

-/-

Έχοντας υπόψη:

- 1. Τις διατάξεις, όπως αυτές ισχύουν:**

Το Ίδρυμα Τεχνολογίας και Έρευνας λαμβάνοντας υπόψη:

- 1.1 τον Κανονισμό Προμηθειών του Ιδρύματος Τεχνολογίας και Έρευνας με αριθμ. και συμπληρωματικά με τις διατάξεις του Π.Δ. 118/2007 Κανονισμός Προμηθειών Δημοσίου.
- 1.2 Τον ν. 2286/1995 «Προμήθειες του δημόσιου τομέα και ρυθμίσεις συναφών θεμάτων άρθρο 2 παρ.13 εφ. VI
- 1.3 το άρθρο 157 του ν. 4281/2014 (ΦΕΚ 160' Α) .
- 1.4 την υπ' αριθ. Πρακτικού 329/21-5/23-4-2016 απόφαση του ΔΣ του ΙΤΕ σύμφωνα με την οποία εγκρίνεται η απευθείας ανάθεση μετά από διαπραγμάτευση της «υλοποίησης ενός συστήματος που αποτελείται από τέσσερα (4) αντίτυπα ενός τυπωμένου κυκλώματος τεχνολογίας αιχμής (PCB), που στο εξής ονομάζεται QFDB revA PCB (από τα ακρώνυμα των: "Quad-FPGA Daughter Board revision A"), συνοδευόμενα από τέσσερα αντίγραφα βοηθητικού τυπωμένου κυκλώματος φορέα (Feeder), πάνω στον οποία επικάθεται το QFDB και το οποίο θα παρέχει εξωτερικές διεπαφές (κυρίως SFP+) και τροφοδοσία ισχύος».
- 1.5 Τις διατάξεις του Ν. 2362/95 (ΦΕΚ 247 Α') «Περί Δημοσίου Λογιστικού, ελέγχου των Δαπανών του Κράτους και άλλες διατάξεις», όπως τροποποιήθηκε και ισχύει.
- 1.6 Τις διατάξεις του Ν.2286/95 (ΦΕΚ 19 Α') «Προμήθειες του Δημοσίου Τομέα και Ρυθμίσεις συναφών θεμάτων», όπως τροποποιήθηκε και ισχύει.
- 1.7 Τις διατάξεις του Ν. 3861/2010 (ΦΕΚ 112 Α') «Ενίσχυση της διαφάνειας με την υποχρεωτική ανάρτηση νόμων και πράξεων των κυβερνητικών, διοικητικών και αυτοδιοικητικών οργάνων στο διαδίκτυο Πρόγραμμα Διαύγεια και άλλες διατάξεις».

ΠΡΟΚΗΡΥΣΣΟΥΜΕ

Προσφεύγοντας στη διαδικασία της διαπραγμάτευσης με δημοσίευση σχετικής προκήρυξης με **αντικείμενο** «Υλοποίηση ενός συστήματος που αποτελείται από τέσσερα (4) αντίτυπα ενός τυπωμένου κυκλώματος τεχνολογίας αιχμής (PCB), που στο εξής ονομάζεται QFDB revA PCB (από τα ακρώνυμα των: "Quad-FPGA Daughter Board revision A"), συνοδευόμενα από τέσσερα αντίγραφα βοηθητικού τυπωμένου κυκλώματος φορέα (Feeder), πάνω στον οποία επικάθεται το QFDB και το οποίο θα παρέχει εξωτερικές διεπαφές (κυρίως SFP+) και τροφοδοσία ισχύος με βάση σχεδιασμό και τεχνικές προδιαγραφές του ΙΤΕ»,

ΚΑΛΟΥΜΕ

τους **ενδιαφερόμενους** σε συμμετοχή στη διαπραγμάτευση για την επιλογή αναδόχου που θα αναλάβει την εκτέλεση του ως άνω αντικειμένου σύμφωνα με τους όρους προκήρυξης του Παραρτήματος Α' και τις Τεχνικές Προδιαγραφές του Παραρτήματος Β της παρούσας.

Ως καταληκτική ημερομηνία υποβολής των προσφορών ορίζεται η 16η Μαΐου 2016, ημέρα Δευτέρα και ώρα Ελλάδος 18:00 (Κεντρικής Ευρώπης 17:00).

Η **αποσφράγιση** των προσφορών θα γίνει την Τρίτη 17 Μαΐου 2016 και ώρα 09:30 π.μ. στο κτίριο του Ιδρύματος Τεχνολογίας και Έρευνας (Διεύθυνση: Ν. Πλαστήρα 100, Βασιλικά Βουτών, Τ.Κ. 70013, Ηράκλειο Κρήτης – Κεντρικό Κτίριο) από το αρμόδιο, πιστοποιημένο στο σύ-

στημα, συλλογικό όργανο (Επιτροπή αποσφράγισης και αξιολόγησης των αποτελεσμάτων του Διαγωνισμού).

Η συνολική προϋπολογισθείσα αξία ανέρχεται σε πενήντα πέντε χιλιάδες ευρώ **(55000,00€ πλέον ΦΠΑ)**.

Η δαπάνη της ανωτέρω προμήθειας βαρύνει τις Πιστώσεις του Ευρωπαϊκού Ερευνητικού Έργου EXANEST.

Η προσφορά θα αφορά στο σύνολο του προκηρυχθέντος συστήματος. Προσφορές γίνονται δεκτές στην Ελληνική ή στην Αγγλική γλώσσα ή μίγμα των δύο.

Το τεύχος της παρούσας Πρόσκλησης μαζί με τα συνημμένα Παραρτήματά της (που αποτελούν αναπόσπαστα μέρη αυτής), θα αναρτηθούν στο Δικτυακό τόπο του ΙΤΕ:

http://www.forth.gr/_legal/qfdb_CfTenders.pdf , κατηγορία «νέα - προκηρύξεις/διαγωνισμοί» καθώς και στο Κεντρικό Ηλεκτρονικό Μητρώο Δημοσίων Συμβάσεων (ΚΗΜΔΗΣ) στην ηλεκτρονική Διεύθυνση www.eprocurement.gov.gr της Γενικής Γραμματείας Εμπορίου και τη Διαύγεια.

Η Πρόσκληση με τα Παραρτήματά της διατίθεται και σε έντυπη μορφή δωρεάν από τη Ινστιτούτο πληροφορικής (κος Λυγεράκης Μιχάλης: ligeraki@ics.forth.gr, τηλ +302810391456). Οι ενδιαφερόμενοι μπορούν να παραλάβουν και ταχυδρομικώς την παρούσα Πρόσκληση σε έντυπη μορφή με εντολή τους σε ταχυδρομική υπηρεσία της επιλογής τους με χρέωση του παραλήπτη.

Ο Διευθυντής ΙΠ-ΙΤΕ

Κωνσταντίνος Στεφανίδης

ΠΑΡΑΡΤΗΜΑ Α΄
Όροι Πρόσκλησης Διαγωνισμού

Περιεχόμενα φακέλου «Δικαιολογητικά Συμμετοχής - Τεχνική προσφορά»

Στον **φάκελο με την ένδειξη «Δικαιολογητικά Συμμετοχής - Τεχνική προσφορά»** περιλαμβάνονται τα κατά περίπτωση απαιτούμενα δικαιολογητικά σύμφωνα με τις διατάξεις της κατά περίπτωση κείμενης νομοθεσίας για την ανάθεση δημοσίων συμβάσεων και συγκεκριμένα:

1.1 Δικαιολογητικά Συμμετοχής

Οι προσφέροντες υποβάλουν με την προσφορά τους, εγκαίρως και προσηκόντως, **επί ποινή αποκλεισμού**, τα εξής δικαιολογητικά, όπως αναλυτικά περιγράφονται κατωτέρω:

Α/Α	ΠΕΡΙΓΡΑΦΗ ΔΙΚΑΙΟΛΟΓΗΤΙΚΟΥ
1	<p>Υπεύθυνη δήλωση της παρ. 4 του άρθρου 8 του Ν.1599/1986, όπως εκάστοτε ισχύει, στην οποία αναγράφονται τα στοιχεία του παρόντος διαγωνισμού και στην οποία δηλώνεται ότι μέχρι και την ημέρα υποβολής της προσφοράς τους, οι προσφέροντες:</p> <ul style="list-style-type: none">- δεν έχουν καταδικασθεί με αμετάκλητη δικαστική απόφαση για κάποιο από τα κατωτέρω αδικήματα: συμμετοχή σε εγκληματική οργάνωση, δωροδοκία, απάτη και νομιμοποίηση εσόδων από παράνομες δραστηριότητες, για κάποιο από τα αδικήματα σχετικό με την άσκηση της επαγγελματικής τους δραστηριότητας, ή για κάποιο από τα αδικήματα της υπεξαίρεσης, της απάτης, της εκβίασης, της πλαστογραφίας, της ψευδορκίας, της δωροδοκίας και της δόλιας χρεωκοπίας.
2	<p>Υπεύθυνη δήλωση της παρ. 4 του άρθρου 8 του Ν.1599/1986, όπως εκάστοτε ισχύει, στην οποία αναγράφονται τα στοιχεία του παρόντος διαγωνισμού και στην οποία θα δηλώνεται ότι μέχρι και την ημέρα υποβολής της προσφοράς τους, οι προσφέροντες:</p> <ul style="list-style-type: none">α. δεν τελούν σε πτώχευση και, επίσης, ότι δεν τελούν σε διαδικασία κήρυξης πτώχευσης.β. δεν τελούν υπό εκκαθάριση αλλά σε καθεστώς κανονικής λειτουργίας (good standing).γ. δεν τελούν υπό αναγκαστική διαχείριση και, επίσης, ότι δεν τελούν σε διαδικασία κήρυξης σε αναγκαστική διαχείριση.δ. είναι καταχωρημένοι σε οικία αρχή, κατά την ημέρα διενέργειας του Διαγωνισμού.ε. δεν τελούν σε αποκλεισμό από δημόσιους διαγωνισμούς ή τυχόν νομικού περιορισμού λειτουργίας της επιχείρησηςστ. ότι αποδέχονται ανεπιφύλακτα τους όρους της Πρόσκλησης.

1.2 Τεχνική Προσφορά

Στον φάκελο «Δικαιολογητικά Συμμετοχής - Τεχνική Προσφορά», υποβάλλονται τα κάτωθι:

A/A	ΠΕΡΙΓΡΑΦΗ ΔΙΚΑΙΟΛΟΓΗΤΙΚΟΥ
1	Τεχνική περιγραφή του προσφερόμενου είδους σύμφωνα με τις Τεχνικές Προδιαγραφές του Παραρτήματος Γ΄.
2	Δήλωση Χρόνου ισχύος προσφοράς. Ο χρόνος ισχύος προσφορών είναι σαράντα πέντε ημερών (45) ημέρες από την επόμενη της ημέρας διενέργειας του διαγωνισμού.
3	Δήλωση στην οποία θα δηλώνεται η χώρα καταγωγής των μερών του συστήματος. Ο προσφέρων, εφόσον κατασκευάζει ο ίδιος το τελικό προϊόν, πρέπει να δηλώνει: <ul style="list-style-type: none"> - στην προσφορά του, την επιχειρηματική μονάδα στην οποία θα κατασκευάσει το προσφερόμενο προϊόν, καθώς και τον τόπο εγκατάστασής της.. - Όταν δεν θα κατασκευάσουν οι ίδιοι το τελικό προϊόν, σε δική τους επιχειρηματική μονάδα, στη προσφορά τους δηλώνουν την ή τις επιχειρηματικές μονάδες, στις οποίες δύνανται να κατασκευαστούν τα τμήματα του προσφερομένου προϊόντος και τους τόπους εγκατάστασής τους. - Δήλωσή τους προς την Αναθέτουσα Αρχή ότι οι επιχειρηματικές αυτές μονάδες αποδέχονται έναντί τους την εκτέλεση της συγκεκριμένης προμήθειας, σε περίπτωση κατακύρωσης στον προμηθευτή υπέρ του οποίου έγινε η αποδοχή.
4.	Δήλωση / αποδεικτικά στοιχεία εκ μέρους της κατασκευάστριας εταιρίας Xilinx των Zynq UltraScale+ FPGAs, από την οποία θα προκύπτει ότι ο προμηθευτής έχει τη δυνατότητα και το δικαίωμα να διαθέσει τα συγκεκριμένα δείγματα κυκλωμάτων ενσωματώνοντάς τα η ίδια ή με τη χρήση υπηρεσιών τρίτων μερών σε τυπωμένα κυκλώματα, τις πλακέτες QFDB.

1.3 Περιεχόμενα φακέλου «Οικονομική Προσφορά»

Η οικονομική προσφορά υποβάλλεται **επί ποινή απορρίψεως** στον φάκελο με την ένδειξη «Οικονομική Προσφορά».

Συγκεκριμένα, η οικονομική προσφορά του συμμετέχοντος θα πρέπει να έχει συνταχθεί με τέτοιο τρόπο ώστε:

α. η προσφερόμενη τιμή πρέπει να προκύπτει με σαφήνεια από την οικονομική προσφορά, η οποία θα πρέπει να είναι διαμορφωμένη σύμφωνα με όσα ζητούνται από την παρούσα Πρόσκληση.

β. η τιμή μονάδος θα δίνεται σε Ευρώ.

γ. Στην προσφορά του προς το ΙΤΕ, ο Προμηθευτής καλείται να προσδιορίσει χωριστά το κόστος του κάθε FPGA chip, SSD, και κάθε άλλου δαπανηρού εξαρτήματος, το κόστος κατασκευής ανά πλακέτα, και το κόστος συναρμολόγησης ανά πλακέτα, καθώς και το συνολικό κόστος του συστήματος.

δ. Η Οικονομική προσφορά **θα υπογράφεται** από τον ίδιο τον προμηθευτή (σε περίπτωση φυσικού προσώπου), ή το νόμιμο εκπρόσωπο του νομικού προσώπου και σε περίπτωση ένωσης ή κοινοπραξίας, είτε από όλα τα μέλη αυτής ή από εξουσιοδοτημένο εκπρόσωπό τους.

ε. Εφόσον από την προσφορά δεν προκύπτει με σαφήνεια η προσφερόμενη τιμή ή δεν δίνεται για το σύνολο του προκηρυχθέντος συστήματος, η προσφορά απορρίπτεται ως απαράδεκτη. Οι τιμές προσφοράς δεν υπόκεινται σε οποιαδήποτε αναπροσαρμογή ή αναθεώρηση για οποιοδήποτε λόγο ή αιτία. Θα ισχύουν και θα δεσμεύουν τον Ανάδοχο μέχρι την πλήρη εκτέλεση της σύμβασης.

στ. Προσφορά που θέτει όρο αναπροσαρμογής τιμών απορρίπτεται ως απαράδεκτη.

ζ. Επισημαίνεται ότι η συνολική προσφερόμενη τιμή της οικονομικής προσφοράς του συστήματος δεν θα πρέπει να ξεπερνά την αντίστοιχη προϋπολογισθείσα δαπάνη.

1.4 Διαδικασία ανάδειξης μειοδότη-κατακύρωση-υπογραφή σύμβασης

Μετά από την αξιολόγηση των προσφορών, ο προσφέρων στον οποίο πρόκειται να γίνει η κατακύρωση, εντός προθεσμίας δέκα (10) ημερών καλείται για την υπογραφή της σύμβασης και την προσκόμιση της εγγυητικής επιστολής καλής εκτέλεσης και πιστοποιητικό κανονικής λειτουργίας (good-standing).

ΠΑΡΑΡΤΗΜΑ Γ΄ ΤΕΧΝΙΚΕΣ ΠΡΟΔΙΑΓΡΑΦΕΣ

Πίνακας Συμμόρφωσης-Τεχνικές Προδιαγραφές:

Κάθε τυπωμένο κύκλωμα QFDB θα πρέπει να υλοποιεί πλήρως και ακριβώς όλες τις προδιαγραφές και το σχεδιασμό (specifications and detailed schematics) που έχουν γίνει από το ITE, όπως ορίζονται στο παρόν Παράρτημα και να μπορεί να φέρει/δέχεται :

- τέσσερα (4) ολοκληρωμένα κυκλώματα (IC's) τύπου Xilinx Zynq UltraScale+ (ZU9EG) FPGA,
- δυναμική μνήμη (DRAM): τέσσερα (4) SODIMM έκαστο των 16 GBytes DDR4, συν τέσσερα (4) chips έκαστο των 2 GBytes DDR4,
- μονάδα αποθήκευσης τύπου SSD μέσω συνδέσμου M.2 χωρητικότητας μεταξύ 480 και 960 GBytes,
- άλλα βοηθητικά ολοκληρωμένα κυκλώματα (τέσσερα (4) QSPI), υποδοχές (Samtec connector to feeder board, M.2 connector, SODIMM connectors), τροφοδοτικά (voltage regulators)
- Τα πλήρη ηλεκτρονικά σχέδια που έχει δημιουργήσει το ITE, πλήρεις προδιαγραφές, καθώς και λεπτομερή σχηματικά όλων των ηλεκτρικών συνδέσεων μεταξύ όλων των ακίδων των ολοκληρωμένων κυκλωμάτων και όλων των βοηθητικών εξαρτημάτων συνδέσεων θα δοθούν από το ITE στον Προμηθευτή σε μορφή OrCAD, υπό όρους εμπιστευτικότητας, σύμφωνα με τους όρους της σχετικής σύμβασης που θα συναφθεί με τον ανάδοχο. Επισημαίνεται ότι για τη σωστή λειτουργία απαιτούνται πολλαπλές σειριακές συνδέσεις υψηλής ταχύτητας (high-speed serial links) ικανές να λειτουργήσουν σε ταχύτητες 16 Gbits/s έκαστη, και η σχεδίαση από πλευράς ITE έχει γίνει με αυτές τις επιδόσεις κατά νου.

Ως προς το σύστημα και τα επί μέρους στοιχεία του είναι απαραίτητο να εξασφαλιστεί ότι:

- Θα συμμορφούται προς τις αναλυτικές προδιαγραφές που θα δοθούν από το ITE (σε μορφή εγγράφου) της QFDB revA PCB και της βοηθητικής Feeder PCB.
- Τα ηλεκτρονικά σχέδια θα αποτυπωθούν (layout) από τον Προμηθευτή ή υπεργολάβο του σε τυπωμένο κύκλωμα (PCB) κατάλληλο για βιομηχανική κατασκευή. Στο τυπωμένο αυτό κύκλωμα πρέπει να διασφαλίζεται η κατάλληλη ποιότητα και ακεραιότητα των σημάτων DDR4, LVDS, και HS (σειριακές συνδέσεις υψηλής ταχύτητας).
- Ο Προμηθευτής θα πρέπει να ελέγξει ότι τα ηλεκτρονικά σχέδια που έχει δημιουργήσει το ITE ακολουθούν τις σχεδιαστικές προδιαγραφές των ολοκληρωμένων κυκλωμάτων Xilinx UltraScale+, βάσει σχεδίων αναφοράς ("reference design") που πρέπει να μπορεί να αποκτήσει ο Προμηθευτής από την XILINX.
- Ο Προμηθευτής οφείλει να επιλέξει εργοστάσιο κατασκευής (fabrication) και εργοστάσιο συναρμολόγησης (assembly) –ενδεχομένως ως υπεργολάβους του– που είναι σε θέση να φέρουν σε πέρας την κατασκευή αυτή με επαρκή ποιότητα, καθώς και να αγοράσει ο Προμηθευτής όλα τα chips και εξαρτήματα που θα τοποθετηθούν στις πλακέτες και να τα δώσει στο εργοστάσιο συναρμολόγησης προκειμένου εκεί να κοληθούν στις πλακέτες.
- Παράδοση από τον Προμηθευτή κατασκευασμένων των PCB στο ITE προς έλεγχο, και στενή συνεργασία και υποβοήθηση του ITE κατά τον έλεγχο ορθής λειτουργίας και της ποιότητάς κατασκευής. Η κατασκευή, συναρμολόγηση, και έλεγχος θα πραγματοποιηθούν κατά φάσεις, σύμφωνα με τα παρακάτω.

- Παράδοση ορισμένων μερικά κατασκευασμένων (partially populated) PCB's σύμφωνα με το εξής χρονοδιάγραμμα του EXANEST:
 - τέλη Μαΐου – αρχές Ιουνίου 2016: απεικόνιση (layout) και έλεγχος του σχεδίου
 - Ιούνιος 2016: κατασκευή τεσσάρων (4) πλακετών “feeder” και τεσσάρων (4) πλακετών QFDB, αλλά συναρμολόγηση μόνον τριών (3) από τις πλακέτες QFDB και μόνον με τα εξής εξαρτήματα: Η πρώτη, χωρίς FPGA, SSD, DRAM, αλλά με όλα τα τροφοδοτικά και βοηθητικά chips. Η δεύτερη με ένα (1) μόνον FPGA και την αντίστοιχη DRAM (συν τα βοηθητικά chips). Και η τρίτη με δύο FPGAs, την αντίστοιχη DRAM, και το SSD (συν τα βοηθητικά chips).
 - Ιούλιος 2016: έλεγχος των κατασκευασμένων πλακετών από πλευράς ITE, σε στενή συνεργασία και με υποβοήθηση από τον Προμηθευτή. Εάν ο έλεγχος δεν δείξει μοιραία σχεδιαστικά ή κατασκευαστικά λάθη, τότε:
 - Αρχές Αυγούστου: συναρμολόγηση της τέταρτης πλακέτας με όλα τα chips της (4 FPGAs συν όλα τα υπόλοιπα),
 - Αύγουστος 2016: έλεγχος και της τέταρτης πλακέτας όπως παραπάνω.
- Εάν ένας από τους παραπάνω ελέγχους δείξει μοιραία σχεδιαστικά λάθη που την ευθύνη τους έχει το ITE, τότε τα μέρη θα συνεργαστούν όσο καλύτερα μπορούν προκειμένου αυτά να αποκατασταθούν και να κατασκευαστούν και συναρμολογηθούν νέες, διορθωμένες πλακέτες στο συντομότερο δυνατό χρόνο. Σε αυτή την περίπτωση, το επιπλέον κόστος επαναπαικόνισης (layout) του νέου σχεδίου, προμήθειας νέων chips, και κατασκευής και συναρμολόγησης των νέων πλακετών θα βαρύνει το ITE, το οποίο διατηρεί την απόλυτη διακριτική ευχέρεια να διαπραγματευθεί με τον ανάδοχο την ανάθεση της επαναπαικόνισης ή όχι.
- Το ITE αναγνωρίζεται ότι είναι ο αποκλειστικός κύριος της σχεδίασης, της απεικόνισης (layout), της δομής, και των πλακετών που θα κατασκευαστούν σύμφωνα με τις προβλέψεις δικαιωμάτων πνευματικής ιδιοκτησίας της Σύμβασης Επιχορήγησης και της συμφωνίας των εταιρών του προγράμματος EXANEST,
- Διασφάλιση της συνεργασίας και ελέγχου (αποδοχής) σε όλα τα στάδια (ακόμη και στο στάδιο δοκιμών) από το ITE, της καταλληλότητας της διάταξης του τυπωμένου κυκλώματος (QFDB revA PCB και Feeder PCB) και της χάραξης των σημάτων υψηλής ταχύτητας.